

Attorney's Docket No. 5649-878

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Eun Youp Kong; Jun Young Jeon; Hai Jeong Shon; Chul Hong Park

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: MULTI-CHIP MEMORY DEVICES, MODULES AND CONTROL METHODS
INCLUDING INDEPENDENT CONTROL OF MEMORY CHIPS

August 1, 2001

Box PATENT APPLICATION

Commissioner for Patents

Washington, DC 20231

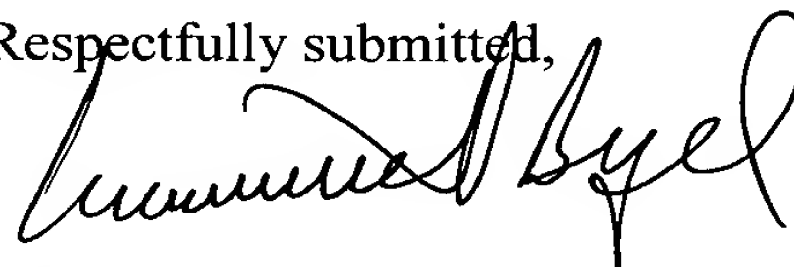
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2001-1019, filed January 8, 2001.

Respectfully submitted,



Mitchell S. Bigel

Registration No. 29,614

Correspondence Address:

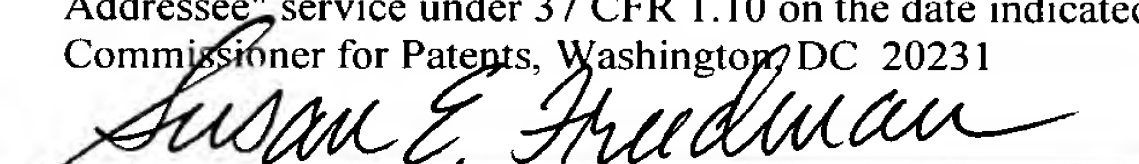


20792

PATENT TRADEMARK OFFICE

"Express Mail" mailing label number EL 733092919 US
Date of Deposit: August 1, 2001

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Box PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231



Susan E. Freedman

Date of Signature: August 1, 2001

#2
jc872 U.S. PTO
09/920062
08/01/01

Priority doc
J. White
J-7-02

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

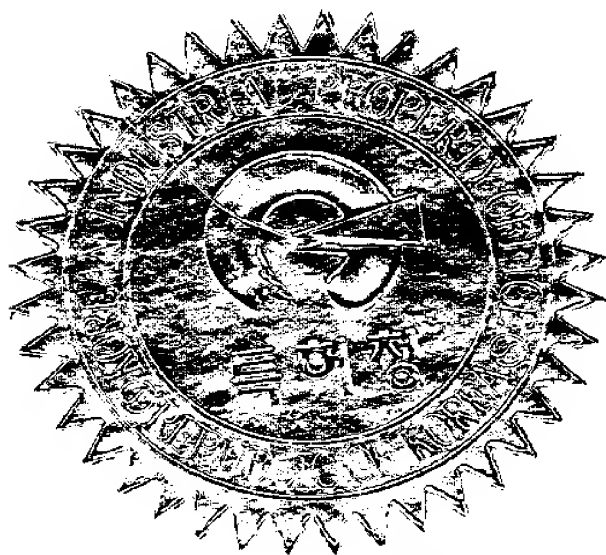
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2001년 제 1019 호
Application Number

출원년월일 : 2001년 01월 08일
Date of Application

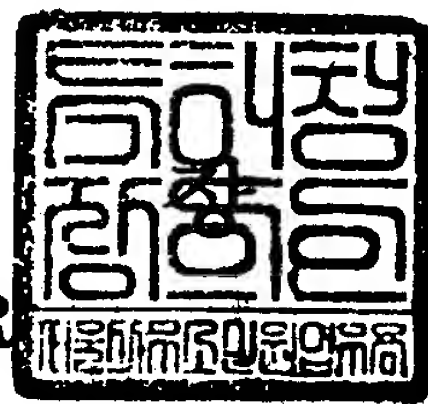
출원인 : 삼성전자 주식회사
Applicant(s)



2001 01 29
 년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.01.08
【발명의 명칭】	고집적 패키지 메모리 장치 및 이 장치를 이용한 메모리 모듈
【발명의 영문명칭】	High density package memory device and memory module using this device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	공은엽
【성명의 영문표기】	KONG,EUN YOUP
【주민등록번호】	731027-2030315
【우편번호】	135-110
【주소】	서울특별시 강남구 압구정동 신현대아파트 102동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	전준영
【성명의 영문표기】	JEON,JUN YOUNG
【주민등록번호】	620516-1000315
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 895-8호 역삼한신아파트 3-150
【국적】	KR
【발명자】	
【성명의 국문표기】	손해정
【성명의 영문표기】	SOHN,HAJ JEONG
【주민등록번호】	630817-1068122
【우편번호】	442-470

【주소】	경기도 수원시 팔달구 영통동 신나무실 신원아파트 645/1702		
【국적】	KR		
【발명자】			
【성명의 국문표기】	박철홍		
【성명의 영문표기】	PARK, CHUL HONG		
【주민등록번호】	631219-1042513		
【우편번호】	441-460		
【주소】	경기도 수원시 권선구 금곡동 LG빌리지 530, 207동 1302호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	14	면	14,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	16	항	621,000 원
【합계】	664,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 고집적 패키지 메모리 장치 및 이 장치를 이용한 메모리 모듈을 공개한다. 이 장치는 소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개의 제1, 2 칩들을 내장한 패키지, 및 제1, 2칩들 각각의 소정 개수의 제어신호 인가 패드들중 제1, 2칩들 각각의 동작을 인에이블하기 위한 신호가 인가되는 제1, 2 칩 선택신호 인가 패드들 각각에 연결된 제1, 2 칩 선택신호 인가 핀들을 외부적으로 구비하여 구성된다. 이 모듈은 소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개의 제1, 2칩들을 내장한 패키지를 구비하고, 제1, 2칩들 각각의 소정 개수의 제어신호 인가 패드들중 제1, 2칩들 각각의 동작을 인에이블하기 위한 신호가 인가되는 제1, 2 칩 선택신호 인가 패드들 각각에 연결된 제1, 2 칩 선택신호 인가 핀들을 외부적으로 구비하는 복수개의 고집적 패키지 메모리 장치들을 구비하고, 제1, 2칩 선택신호 인가 핀들로 인가되는 제1, 2칩 선택신호들 각각에 응답하여 복수개의 고집적 패키지 메모리 장치들 각각의 제1 칩들 및 제2칩들이 각각 인에이블되어 데이터를 전송하는 것을 특징으로 한다.

따라서, 내부의 칩들이 별도로 동작을 수행함으로써 열로 인한 문제가 발생되지 않아 동작 신뢰성이 향상될 수 있다.

【대표도】

도 10

【명세서】**【발명의 명칭】**

고집적 패키지 메모리 장치 및 이 장치를 이용한 메모리 모듈{High density package memory device and memory module using this device}

【도면의 간단한 설명】

도1은 일반적인 144핀/200핀 메모리 모듈의 실시예의 전면부와 후면부의 구성을 나타내는 것이다.

도2는 도1에 나타낸 모듈에 장착을 위한 TSOP 동기형 동적 랜덤 액세스 메모리 장치의 실시예의 단면도이다.

도3은 일반적인 54핀 TSOP 동기형 동적 랜덤 액세스 메모리 장치의 실시예의 핀 구성을 나타내는 것이다.

도4는 도3에 나타낸 메모리 장치가 도1에 나타낸 메모리 모듈에 탑재되는 경우의 메모리 장치들과 메인 보드상의 제어 신호라인들을 나타내는 것이다.

도5는 종래의 고집적 패키지 메모리 장치의 실시예의 단면도이다.

도6은 일반적인 54핀 TSOP 동기형 동적 랜덤 액세스 메모리 장치의 실시예의 핀 구성을 나타내는 것이다.

도7은 고집적 패키지 메모리 장치가 도1에 나타낸 메모리 모듈에 탑재되는 경우의 메모리 장치들과 메인 보드상의 제어 신호라인들을 나타내는 것이다.

도8은 본 발명의 고집적 패키지 메모리 장치의 실시예의 핀 구성을 나타내는 것이다.

도9는 본 발명의 고집적 패키지 메모리 장치가 도1에 나타낸 메모리 모듈에 탑재되는 경우의 실시예의 메모리 장치들과 메인 보드상의 제어 신호라인들을 나타내는 것이다.

도10은 본 발명의 고집적 패키지 메모리 장치가 도1에 나타낸 메모리 모듈에 탑재되는 경우의 바람직한 실시예의 메모리 장치들과 메인 보드상의 제어 신호라인들을 나타내는 것이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 고집적 패키지 메모리 장치에 관한 것으로, 특히 하나의 패키지내에 두 개의 칩들이 내장되는 고집적 패키지 메모리 장치 및 이 장치를 이용한 메모리 모듈에 관한 것이다.
- <12> 노트북 컴퓨터의 메인 보드에 장착되는 144핀/200핀 메모리 모듈은 폭은 1.25인치 (inch), 높이는 2.66인치, 두께는 0.15인치인 SODIMM(Small Outline In-line Memory Module)과 폭은 1.18인치, 높이는 1.5인치, 두께는 0.15인치인 μ -DIMM(Micro - Dual In-line Memory Module)이 사용되고 있으며 그 크기는 JEDEC 표준(Standard)에 정해져 있다.
- <13> 이 크기의 메모리 모듈에는 54핀 TSOP(Thin Small Outline Package)의 동기형 동적 랜덤 액세스 메모리 장치(SDRAM; Synchronous Dynamic Random Access Memory)가 모듈의 전면부와 후면부에 각각 4개씩 최대 8개까지 탑재가 가능하다.

- <14> 도1은 일반적인 144핀/200핀 메모리 모듈의 실시예의 전면부와 후면부의 구성을 나타내는 것으로, (a)는 전면부의 구성을, (b)는 후면부의 구성을 나타내는 것이다.
- <15> 도1(a)에 나타낸 메모리 모듈의 전면부(10)에 4개의 메모리 장치들(12-1, 12-2, 12-3, 12-4)이 장착되고, 도1(b)에 나타낸 메모리 모듈의 후면부(20)에 4개의 메모리 장치들(22-1, 22-2, 22-3, 22-4)이 장착되어 있다.
- <16> 그리고, 전면부(10)와 후면부(20)에는 8개의 메모리 장치들(12-1, 12-2, 12-3, 12-4, 22-1, 22-2, 22-3, 22-4)과 연결 핀들(14-1, 14-2, 24-1, 24-2)을 연결하기 위한 신호 라인들(미도시)이 배치된다. 또한, 전면부(10)와 후면부(20)의 연결 핀들(14-1, 14-2, 24-1, 24-2)은 메인 보드의 슬롯(미도시)에 꽂힘에 의해서 메인 보드의 신호 라인들(미도시)와 연결된다.
- <17> 도1에 나타낸 144핀/200핀 메모리 모듈의 핀 구성을 도시하지는 않았지만, 그 구성은 12개의 어드레스 입력 핀들, 2개의 뱅크 선택신호들, 64개의 데이터 입출력 핀들, 2개의 시스템 클럭신호 핀들, 2개의 칩 인에이블 입력 핀들, 2개의 칩 선택신호 핀들, 1개의 로우 어드레스 스트로우브 핀, 1개의 컬럼 어드레스 스트로우브 핀, 1개의 라이트 인에이블 신호 핀, 8개의 데이터 입/출력 마스트 핀들, 및 소정 개수의 노 컨넥션(NC; no connection) 핀들로 구성된다.
- <18> 도2는 도1에 나타낸 모듈에 장착을 위한 TSOP 동기형 동적 랜덤 액세스 메모리 장치의 실시예의 단면도로서, 30은 패키지를, 32는 칩을, 34-1, 34-2는 리드 프레임들을, 36-1, 36-2는 패드들을, 38-1, 38-2는 절연성 물질을, 40-1, 40-2는 본딩 와이어를 각각 나타낸다.

- <19> 패키지(30)내의 칩(32)과 리드 프레임들(34-1, 34-2)은 절연성 물질들(38-1, 38-2)로 각각 절연되고, 리드 프레임들(34-1, 34-2)과 패드들(36-1, 36-2) 각각은 본딩 와이어들(40-1, 40-2) 각각에 의해서 서로 연결된다.
- <20> 도2의 리드 프레임들(34-1, 34-2)은 신호 입출력을 위한 핀들로 사용된다.
- <21> 도3은 일반적인 54핀 TSOP 동기형 동적 랜덤 액세스 메모리 장치의 실시예의 핀 구성을 나타내는 것으로, 16M X16비트 동기형 동적 랜덤 액세스 메모리 장치의 핀 구성을 나타내는 것이다.
- <22> 도3에서, 1, 14, 27번 핀은 파워 공급(VDD) 핀을, 28, 41, 54번 핀은 파워 공급 그라운드(ground) 핀을, 3, 9, 43, 49번 핀은 데이터 출력 파워(Data output power) 핀을, 6, 12, 46, 52번 핀은 데이터 출력 파워 그라운드(ground) 핀을 각각 나타낸다. 16번 핀은 라이트 인에이블 신호(WEB) 인가 핀을, 17번 핀은 컬럼 어드레스 스트로우브 신호(CASB) 인가 핀을, 18번 핀은 로우 어드레스 스트로우브 신호(CASB) 인가 핀을, 19번 핀은 칩 선택신호(CSB) 인가 핀을, 20, 21번 핀은 뱅크 선택 어드레스(BA0, BA1) 인가 핀을, 22 ~ 26, 29 ~ 36번 핀은 어드레스(A0 ~ A12) 인가 핀을 각각 나타낸다. 그리고, 37번 핀은 클럭 인에이블 신호(CKE) 인가 핀을, 38번 핀은 시스템 클럭신호(CLK) 인가 핀을, 15, 39번핀은 데이터 입/출력 마스크 신호(LDQM, UDQM) 인가 핀을, 2, 4, 5, 7, 8, 10, 11, 13, 42, 44, 45, 47, 48, 50, 51, 53번 핀은 데이터 칩/출력 신호(DQ0 ~ DQ15) 핀을, 40번 핀은 노 컨넥션(NC) 핀을 각각 나타낸다.
- <23> 상기 핀들중에서, 칩 선택신호(CSB) 인가 핀으로 인가되는 칩 선택신호(CSB)는 시스템 클럭신호(CLK) 인가 핀, 클럭 인에이블 신호(CKE) 인가 핀, 및 데이터 입/출력 마스크 신호(LDQM, UDQM) 인가 핀으로 인가되는 신호들을 제외한 모든 핀들로 입력되는 신

호들을 인에이블함에 의해서 장치의 동작을 인에이블한다. 시스템 클럭신호(CLK) 인가 핀은 메인 보드의 제어부로부터 인가되는 클럭신호를 입력하는 핀이다. 클럭 인에이블 신호(CKE) 인가 핀은 시스템 클럭신호(CLK)를 인에이블하거나 디스에이블하기 위한 제어 신호 인가 핀이다. 특히, 클럭 인에이블 신호(CKE) 인가 핀은 저전력 모듈의 동작을 필요로 하는 노트북에는 파워 다운(power down)을 위한 제어신호 인가 핀으로 사용된다.

<24> 도4는 도3에 나타낸 메모리 장치가 도1에 나타낸 메모리 모듈에 탑재되는 경우의 메모리 장치들과 제어 신호라인들을 나타내는 것으로, 도4에 나타낸 메모리 모듈은 16M \times 6비트(bit)의 8개의 메모리 장치들(12-1, 12-2, 12-3, 12-4, 22-1, 22-2, 22-3, 22-4)이 장착된 256M 바이트(Byte) 메모리 모듈이다.

<25> 도4에 나타낸 메모리 장치들의 번호는 도1에 나타낸 메모리 장치들의 번호와 동일 번호로 표기하였다.

<26> 점선으로 나타낸 부분(10')의 메모리 장치들(12-1, 12-2, 12-3, 12-4)은 전면부 (10)에 장착되는 메모리 장치들로서, 칩 선택신호(CSB0)에 응답하여 장치의 동작이 인에이블되고 클럭 인에이블 신호(CKE0)에 응답하여 시스템 클럭신호(CLK0)가 인에이블되어 시스템 클럭신호(CLK0)에 응답하여 데이터를 입/출력한다. 이때, 메모리 장치들(12-1, 12-2, 12-3, 12-4) 각각으로/로부터 16비트의 데이터가 입/출력되므로 총 64비트의 데이터가 입/출력된다.

<27> 점선으로 나타낸 부분(20')의 메모리 장치들(22-1, 22-2, 22-3, 22-4)은 후면부 (20)에 장착되는 메모리 장치들로서, 칩 선택신호(CSB1)에 응답하여 장치의 동작이 인에이블되고, 클럭 인에이블 신호(CKE1)에 응답하여 시스템 클럭신호(CLK1)가 인에이블되어 시스템 클럭신호(CLK1)에 응답하여 데이터를 입/출력한다. 이때, 메모리 장치들(22-1,

22-2, 22-3, 22-4) 각각으로/로부터 16비트의 데이터가 입/출력되므로 총 64비트의 데이터가 입/출력된다.

<28> 도4에서, 도시되지 않은 다른 신호 라인들은 공통 신호 라인들에 각각 연결되어 있다.

<29> 즉, 도4에 나타낸 바와 같이 16M x16비트의 메모리 장치들이 모듈의 전면부(10)와 후면부(20)에 각각 4개씩 장착되어 구성된 256M바이트 메모리 모듈에서 64비트의 데이터를 입/출력하기 위하여는 전면부(10)와 후면부(20)의 4개씩의 메모리 장치들이 각각 동작하여야 한다.

<30> 따라서, 도4에 나타낸 바와 같이 메모리 모듈의 전면부(10)와 후면부(20)에 장착된 메모리 장치들을 각각 동작하게 되면 메모리 모듈의 용량을 증가하기 위해서 장착되는 메모리 장치들의 용량을 증가하여야 된다. 예를 들면, 512M바이트 용량을 갖는 메모리 모듈을 구성하기 위해서는 도3에 나타낸 16M x16비트 메모리 장치가 아닌 32M x16비트 메모리 장치를 전면부와 후면부에 각각 4개씩 장착하여야 한다.

<31> 그러나, 메모리 모듈의 용량을 증가시키기 위하여 큰 크기의 용량을 가진 메모리 장치를 사용해야 하는 것은 생산자 측면에서는 많은 부담이 되고 있으며, 도4에 나타낸 방법대로 메모리 장치들을 동작하게 되면 작은 크기의 용량을 가진 메모리 장치를 가지고 용량이 큰 메모리 모듈을 구성하는데는 한계가 있다.

<32> 그래서, 상술한 바와 같은 방법의 문제점을 해결하기 위한 하나의 방법으로, 32M x8비트의 두 개의 TSOP 패키지를 쌓아서 구성된 적층 TSOP 패키지 메모리 장치를 모듈의 전면부(10)와 후면부(20)에 각각 4개씩 장착해서 512M바이트 메모리 모듈을 구성하는

것이다. 그러나, 이 방법은 두 개의 패키지를 쌓아서 구성하기 때문에 패키지 메모리 장치의 두께가 두꺼워지게 된다는 단점이 있었다.

<33> 상술한 바와 같은 문제점을 해결하기 위한 또 다른 방법으로 고집적 패키지(DDP; Double Density Package) 메모리 장치, 즉 두 개의 칩을 하나의 패키지로 구성한 고집적 패키지 메모리 장치를 이용한 메모리 모듈이 나오게 되었다.

<34> 도5는 종래의 고집적 패키지 메모리 장치의 실시예의 단면도로서, 50은 패키지를, 52-1, 52-2는 칩들을, 54-1, 54-2, 54-3, 54-4는 리드 프레임들을, 56-1, 56-2, 56-3, 56-4는 절연성 물질들을, 58-1, 58-2, 58-3, 58-4는 패드들을, 60-1, 60-2, 60-3, 60-4은 본딩 와이어들을 각각 나타낸다.

<35> 도5의 구성으로부터 알 수 있듯이, 고집적 패키지 메모리 장치는 패키지(50)내에 두 개의 칩들(52-1, 52-2)을 상하로 구비하고, 칩(52-1)의 리드 프레임들(54-1, 54-2)과 칩(52-2)의 리드 프레임들(54-3, 54-4)을 서로 공통으로 연결하여 구성한 것이다.

<36> 즉, 두 개의 칩들(52-1, 52-2)의 복수개의 제어신호 인가 핀들에 연결된 리드 프레임들은 도5에 나타낸 바와 같이 공통으로 연결하여 구성하고, 두 개의 칩들(52-1, 52-2)의 복수개의 데이터 입출력 핀들에 연결된 리드 프레임들은 공통으로 연결하지 않고 별도로 구성한다.

<37> 다시 말하면, 32M x8비트의 칩들(52-1, 52-2)의 데이터 입출력 리드 프레임들을 제외한 다른 모든 리드 프레임들을 공통으로 연결하여 구성한다. 이와 같이 구성하게 되면 외관적으로 도3에 나타낸 바와 같은 핀 구성을 가진 패키지가 된다.

<38> 도5에 나타낸 리드 프레임들(54-1, 54-2)은 신호 입출력을 위한 핀들로 사용된다.

- <39> 도6은 일반적인 54핀 TSOP 동기형 동적 랜덤 액세스 메모리 장치의 실시예의 핀 구성을 나타내는 것으로, 32M x8비트 동기형 동적 랜덤 액세스 메모리 장치의 핀 구성을 나타내는 것이다.
- <40> 도6에서, 4, 7, 10, 15, 40, 42, 45, 48, 51번 핀은 노 컨넥션(NC) 핀들을 각각 나타낸다.
- <41> 도6에 나타낸 바와 같이 32M x8비트 동기형 동적 랜덤 액세스 메모리 장치에는 노 컨넥션(NC) 핀들이 존재하게 된다.
- <42> 만일 도6에 나타낸 32M x8비트 동기형 동적 랜덤 액세스 메모리 장치가 패키지 되기 전의 두 개의 칩들(52-1, 52-2)을 이용하여 고집적 패키지 메모리 장치를 구성한다고 하면, 도5에 나타낸 하나의 칩(52-1)의 노 컨넥션(NC) 리드 프레임들과 다른 하나의 칩(52-2)의 데이터 입출력(DQ0 ~ DQ7) 리드 프레임들을 각각 연결하여 구성하면 된다.
- <43> 이와같이 구성하게 되면 외관적으로 도3에 나타낸 바와 같은 핀 구성을 가진 패키지 메모리 장치가 구성된다. 따라서, 이 패키지 메모리 장치는 32M x8비트 x2의 동기형 동적 랜덤 액세스 메모리 장치가 된다.
- <44> 도5에 나타낸 고집적 패키지 메모리 장치는 외부로부터 인가되는 칩 선택신호에 응답하여 두 개의 칩들(52-1, 52-2)의 동작이 동시에 인에이블되고, 클럭 인에이블 신호에 응답하여 시스템 클럭신호가 인에이블되어 시스템 클럭신호에 응답하여 두 개의 칩들(52-1, 52-2)로/로부터 각각 8비트씩 총 16비트의 데이터를 입/출력한다.
- <45> 따라서, 종래의 고집적 패키지 메모리 장치는 두 개의 칩들이 동시에 데이터 입/출력 동작을 수행하기 때문에 열이 발생하게 되고, 이때 발생하는 열로 인해서 장치의 동

작 성능이 저하되게 된다.

- <46> 도7은 고집적 패키지 메모리 장치가 도1에 나타낸 메모리 모듈에 탑재되는 경우의 메모리 장치들과 메인 보드상의 제어 신호라인들을 나타내는 것으로, 도7에 나타낸 메모리 모듈은 32M x8비트 x2의 8개의 메모리 장치들(12-1, 12-2, 12-3, 12-4, 22-1, 22-2, 22-3, 22-4)이 장착된 512M 바이트(Byte) 메모리 모듈이다.
- <47> 도7에 나타낸 메모리 장치들의 번호는 도1에 나타낸 메모리 장치들의 번호와 동일 번호로 표기하였다.
- <48> 점선으로 표시한 부분(10')의 전면부(10)에 장착되는 메모리 장치들(12-3, 12-4)은 칩 선택신호(CSB0)에 응답하여 장치의 동작이 인에이블되고, 클럭 인에이블 신호(CKE0)에 응답하여 시스템 클럭신호(CLK0)가 인에이블되어 32비트의 데이터를 입/출력한다. 점선으로 표시한 부분(10')의 전면부(10)에 장착되는 메모리 장치들(12-1, 12-2)은 칩 선택신호(CSB1)에 응답하여 장치의 동작이 인에이블되고, 클럭 인에이블 신호(CKE1)에 응답하여 시스템 클럭신호(CLK1)가 인에이블되어 32비트의 데이터를 입/출력한다. 즉, 메모리 장치들(12-1, 12-2, 12-3, 12-4)은 칩 선택신호(CSB0) 및 클럭 인에이블 신호(CKE0)에 응답하여 인에이블되고 시스템 클럭신호들(CLK0, CLK1)에 응답하여 64비트의 데이터를 입/출력한다.
- <49> 점선으로 표시한 부분(20')의 후면부(20)에 장착되는 메모리 장치들(22-1, 22-2)은 칩 선택신호(CSB1)에 응답하여 장치의 동작이 인에이블되고, 클럭 인에이블 신호(CKE1)에 응답하여 시스템 클럭신호(CLK0)가 인에이블되어 32비트의 데이터를 입/출력한다. 점선으로 표시한 부분(20')의 후면부(20)에 장착되는 메모리 장치들(22-3, 22-4)은 칩 선택신호(CSB1)에 응답하여 장치의 동작이 인에이블되고, 클럭 인에이블 신호(CKE1)에 응

답하여 시스템 클럭신호(CLK1)가 인에이블되어 32비트의 데이터를 입/출력한다. 즉, 메모리 장치들(22-1, 22-2, 22-3, 22-4)은 칩 선택신호(CSB1) 및 클럭 인에이블 신호(CKE1)에 응답하여 인에이블되고 시스템 클럭신호들(CLK0, CLK1)에 응답하여 64비트의 데이터를 입/출력한다.

- <50> 그런데, 종래의 고집적 패키지 메모리 장치를 이용한 메모리 모듈은 전면부 또는 후면부에 장착된 고집적 패키지 메모리 장치내의 두 개의 칩들이 동시에 동작을 수행하기 때문에 모듈의 한면에서 발생하는 열의 양이 많아지게 되어 열의 방출이 용이하지 않게 되어 이때 발생하는 열로 인하여 메모리 모듈의 동작 성능이 저하된다.

【발명이 이루고자 하는 기술적 과제】

- <51> 본 발명의 목적은 두 개의 칩들이 동시에 동작됨에 의해서 발생될 수 있는 열을 줄일 수 있는 고집적 패키지 메모리 장치를 제공하는데 있다.
- <52> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 고집적 패키지 메모리 장치를 이용한 메모리 모듈을 제공하는데 있다.
- <53> 상기 목적을 달성하기 위한 고집적 패키지 메모리 장치는 소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개 이상의 칩들을 내장한 패키지, 및 상기 패키지의 칩들 각각의 소정 개수의 제어신호 인가 패드들 각각에 연결된 소정 개수의 제어신호 인가 단자들을 구비하는 것을 특징으로 한다.
- <54> 상기 목적을 달성하기 위한 고집적 패키지 메모리 장치의 실시예는 소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개의 제1, 2칩들을 내장한 패키지를 구비하고, 상기 제1, 2칩들 각각의 상기 소정 개수의 제어신호 인가 패드들중 상기 제1, 2칩

들 각각의 동작을 인에이블하기 위한 신호가 인가되는 제1, 2 칩 선택신호 인가 패드들 각각에 연결된 제1, 2 칩 선택신호 인가 핀들을 외부적으로 구비하는 것을 특징으로 한다.

<55> 상기 다른 목적을 달성하기 위한 고집적 패키지 메모리 장치를 이용한 메모리 모듈은 소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개 이상의 칩들을 내장한 패키지, 및 상기 패키지의 상기 칩들 각각의 소정 개수의 제어신호 인가 패드들 각각에 연결된 소정 개수의 제어신호 인가 단자들을 각각 구비한 복수개의 고집적 패키지 메모리 장치들을 구비하고, 상기 소정 개수의 제어신호 인가 단자들로부터 인가되는 제어신호들에 응답하여 상기 복수개의 고집적 패키지 메모리 장치들 각각의 상기 칩들중 해당 칩이 인에이블되어 데이터를 전송하는 것을 특징으로 한다.

<56> 상기 다른 목적을 달성하기 위한 고집적 패키지 메모리 장치를 이용한 메모리 모듈의 실시예는 소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개의 제1, 2칩들을 내장한 패키지를 구비하고, 상기 제1, 2칩들 각각의 상기 소정 개수의 제어신호 인가 패드들중 상기 제1, 2칩들 각각의 동작을 인에이블하기 위한 신호가 인가되는 제1, 2 칩 선택신호 인가 패드들 각각에 연결된 제1, 2 칩 선택신호 인가 핀들을 외부적으로 구비하는 복수개의 고집적 패키지 메모리 장치들을 구비하고, 상기 제1, 2칩 선택신호 인가 핀들로 인가되는 제1, 2칩 선택신호들 각각에 응답하여 상기 복수개의 고집적 패키지 메모리 장치들 각각의 제1칩들 및 제2칩들이 각각 인에이블되어 데이터를 전송하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<57> 이하, 첨부한 도면을 참고로 하여 본 발명의 고집적 패키지 메모리 장치 및 이 장

치를 이용한 메모리 모듈을 설명하면 다음과 같다.

- <58> 도8은 본 발명의 고집적 패키지 메모리 장치의 실시예의 핀 구성을 나타내는 것으로, 도6의 실시예의 핀 구성의 15번 노 컨넥션(NC) 핀을 칩 선택신호(CSB1) 인가 핀으로, 40번 노 컨넥션(NC) 핀을 클럭 인에이블 신호(CKE1) 인가 핀으로, 19번 칩 선택신호(CSB) 인가 핀을 칩 선택신호(CSB0) 인가 핀으로, 37번 클럭 인에이블 신호(CKE) 인가 핀을 클럭 인에이블 신호(CKE0) 인가 핀으로 각각 구성한 것이다.
- <59> 즉, 종래의 고집적 패키지 메모리 장치내의 두 개의 칩들의 칩 선택신호 인가 리드 프레임들과 클럭 인에이블 신호 인가 리드 프레임들을 공통으로 연결하여 구성하였던 것을 본 발명의 고집적 패키지 메모리 장치내의 두 개의 칩들의 칩 선택신호 인가 리드 프레임들과 클럭 인에이블 신호 인가 리드 프레임들을 공통으로 연결하여 구성하지 않고 별도로 구성하였다. 또한, 종래의 고집적 패키지 메모리 장치내의 두 개의 칩들 각각의 8개의 데이터 입출력 리드 프레임들을 별도로 구성하였던 것을 본 발명의 고집적 패키지 메모리 장치내의 두 개의 칩들 각각의 8개의 데이터 입출력 리드 프레임들을 공통으로 연결하여 구성하였다.
- <60> 따라서, 도8에 나타난 본 발명의 고집적 패키지 메모리 장치는 칩 선택신호(CSB0)에 응답하여 장치의 동작이 인에이블되고 클럭 인에이블 신호(CKE0)에 응답하여 시스템 클럭신호(CLK)가 인에이블되어 두 개의 칩들중의 해당하는 하나의 칩으로부터 데이터가 입/출력된다. 또한, 칩 선택신호(CSB1)에 응답하여 장치의 동작이 인에이블되고 클럭 인에이블 신호(CKE1)에 응답하여 시스템 클럭신호(CLK)가 인에이블되어 두 개의 칩들중의 해당하는 다른 하나의 칩으로부터 데이터가 입/출력된다.
- <61> 즉, 도8에 나타난 고집적 패키지 메모리 장치는 패키지내의 두 개의 칩들이 서로

다른 제어신호들에 응답하여 동작하는 것이 가능하다.

<62> 도8에 나타낸 실시예의 고집적 패키지 메모리 장치는 내부의 두 개의 칩들의 데이터 입출력 리드 프레임들을 내부적으로 공통 연결하여 외관적으로 8비트의 데이터 입출력 핀들(DQ0 ~ DQ7)이 구성되는 것을 나타내었다.

<63> 그러나, 도8에 나타낸 고집적 패키지 메모리 장치에는 노 컨넥션(NC) 핀들이 존재하므로 데이터 입출력 패드들을 내부적으로 공통으로 연결하지 않고 도8의 노 컨넥션(NC) 핀들과 나머지 다른 하나의 칩의 데이터 입출력 패드들을 연결하여 외관적으로 16비트의 데이터 입출력 핀들(DQ0 ~ DQ7)을 구성하여도 상관없다.

<64> 또한, 저전력을 요구하지 않는 경우에는 클럭 인에이블 신호(CKE0, CKE1) 인가 핀들을 공통으로 연결하여 구성할 수도 있다.

<65> 도9는 본 발명의 고집적 패키지 메모리 장치가 도1에 나타낸 메모리 모듈에 탑재되는 경우의 실시예의 메모리 장치들과 메인 보드상의 제어 신호라인들을 나타내는 것으로, 32M ×8비트 ×2의 8개의 메모리 장치들(12-1, 12-2, 12-3, 12-4, 22-1, 22-2, 22-3, 22-4)이 장착된 512M 바이트(Byte) 메모리 모듈이다.

<66> 도9에 나타낸 메모리 장치들의 번호는 도1에 나타낸 메모리 장치들의 번호와 동일 번호로 표기한 것이다.

<67> 점선으로 나타낸 부분(10')의 메모리 장치들(12-1, 12-2, 12-3, 12-4)은 전면부(10)에 장착되는 메모리 장치들로서, 메모리 장치들(12-1, 12-2, 12-3, 12-4) 각각의 내부의 하나의 칩은 칩 선택신호(CSB0)에 응답하여 장치의 동작이 인에이블되고, 클럭 인에이블 신호(CKE0)에 응답하여 시스템 클럭신호(CLK0)가 인에이블되어 시스템 클럭신호

(CLK0)에 응답하여 8비트의 데이터를 입/출력한다. 또한, 메모리 장치들(22-1, 22-2, 22-3, 22-4) 각각의 내부의 다른 하나의 칩은 칩 선택신호(CSB1)에 응답하여 장치의 동작이 인에이블되고, 클럭 인에이블 신호(CKE1)에 응답하여 시스템 클럭신호(CLK1)가 인에이블되어 시스템 클럭신호(CLK1)에 응답하여 8비트의 데이터를 입/출력한다.

<68> 점선으로 나타낸 부분(20')의 메모리 장치들(22-1, 22-2, 22-3, 22-4)은 후면부(20)에 장착되는 메모리 장치들로서, 메모리 장치들(12-1, 12-2, 12-3, 12-4) 각각의 내부의 다른 하나의 칩은 칩 선택신호(CSB0)에 응답하여 장치의 동작이 인에이블되고, 클럭 인에이블 신호(CKE0)에 응답하여 시스템 클럭신호(CLK0)가 인에이블되어 시스템 클럭신호(CLK0)에 응답하여 8비트의 데이터를 입/출력한다. 또한, 메모리 장치들(22-1, 22-2, 22-3, 22-4) 각각의 내부의 다른 하나의 칩은 칩 선택신호(CSB1)에 응답하여 장치의 동작이 인에이블되고, 클럭 인에이블 신호(CKE1)에 응답하여 시스템 클럭신호(CLK1)가 인에이블되어 시스템 클럭신호(CLK1)에 응답하여 8비트의 데이터를 입/출력한다.

<69> 즉, 칩 선택신호(CSB0)와 클럭 인에이블 신호(CKE0)에 의해서 메모리 모듈의 전면부(10)와 후면부(20)에 장착된 메모리 장치들(12-1, 12-2, 12-3, 12-4, 22-1, 22-2, 22-3, 22-4) 각각의 상부(하부) 칩들이 동시에 동작을 수행하게 되고, 또한, 칩 선택신호(CSB1)와 클럭 인에이블 신호(CKE1)에 의해서 메모리 모듈의 전면부(10)와 후면부(20)에 장착된 메모리 장치들(12-1, 12-2, 12-3, 12-4, 22-1, 22-2, 22-3, 22-4) 각각의 하부(상부) 칩들이 동시에 동작을 수행하게 된다.

<70> 따라서, 메모리 장치들(12-1, 12-2, 12-3, 12-4, 22-1, 22-2, 22-3, 22-4) 각각으로/로부터 8비트의 데이터가 입/출력되므로 총 64비트의 데이터가 입/출력된다.

<71> 그런데, 도9에 나타낸 메모리 모듈은 메모리 장치들(12-1, 12-2, 12-3, 12-

4, 22-1, 22-2, 22-3, 22-4) 각각의 내부의 두 개의 칩들이 동시에 동작하는 것이 아니라 전면부(10)와 후면부(20)의 상부 칩과 하부 칩이 나누어서 동작을 수행하기 때문에 열방출 측면에서 한쪽면에서만 복수개의 메모리 장치 내부의 두 개의 칩들이 동시에 동작함에 의해서 발생하는 열로 인한 메모리 모듈의 성능 저하 문제가 개선될 수 있다.

<72> 도10은 본 발명의 고집적 패키지 메모리 장치가 도1에 나타낸 메모리 모듈에 탑재되는 경우의 바람직한 실시예의 메모리 장치들과 메인 보드상의 제어 신호라인들을 나타내는 것으로, 도9의 구성과 달리 시스템 클럭신호(CLK0)가 점선으로 나타낸 부분(10')의 메모리 장치들(12-1, 12-2)과 점선으로 나타낸 부분(20')의 메모리 장치들(22-1, 22-2)로 분리되어 인가되고, 시스템 클럭신호(CLK1)가 점선으로 나타낸 부분(10')의 메모리 장치들(12-3, 12-4)과 점선으로 나타낸 부분(20')의 메모리 장치들(22-3, 22-4)로 분리되어 인가되도록 구성되어 있다.

<73> 따라서, 도10에 나타낸 바와 같이 시스템 클럭신호들(CLK0, CLK1)이 전면부의 메모리 장치들과 후면부의 메모리 장치들로 분리되어 인가됨으로써 시스템 클럭신호 라인의 로딩이 감소되어 신호가 빠르게 전송될 수 있다.

<74> 즉, 본 발명의 메모리 모듈은 고집적 패키지 메모리 장치내의 두 개의 칩들이 동시에 동작하지 않고 별도로 동작하기 때문에 열 발생으로 인해 모듈의 성능이 저하되는 것을 방지할 수 있다.

<75> 상술한 실시예의 고집적 패키지 메모리 장치는 두 개의 칩들이 하나의 패키지에 내장되는 것을 예로 들어 설명하였으나, 세 개이상의 칩들이 하나의 패키지에 내장되도록 구성될 수도 있다. 만일 세 개의 칩들이 하나의 패키지에 내장되는 경우에는 세 개의 칩들중 두 개의 칩들의 칩 선택신호 인가 핀들과 두 개의 클럭 인에이블 신호 인가 핀들을

공통으로 연결해서 구성하고, 세 개의 칩들의 데이터 입출력 핀들을 공통으로 연결하여 구성하거나, 세 개의 칩들에 대한 세 개의 칩 선택신호 인가 핀들 및 세 개의 클럭 인에이블 신호 인가 핀들을 외부적으로 구성하고, 세 개의 칩들의 데이터 입출력 핀들을 공통으로 연결하여 구성하면 된다.

<76> 마찬가지로, 본 발명의 고집적 패키지 메모리 장치를 이용한 메모리 모듈은 만일 복수개의 고집적 패키지 메모리 장치들 각각이 세 개의 칩들을 내장한 경우에 두 개의 칩 선택신호들 및 두 개의 클럭 인에이블 신호들에 응답하거나, 세 개의 칩 선택신호들 및 세 개의 클럭 인에이블 신호들에 응답하여 복수개의 고집적 패키지 메모리 장치들 각각의 세 개의 칩들중 해당되는 하나 또는 하나이상의 칩으로/로부터 데이터를 입/출력하도록 구성하면 된다.

<77> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<78> 본 발명의 고집적 패키지 메모리 장치는 내부의 칩들이 별도로 동작을 수행함으로써 열로 인한 문제가 발생되지 않아 장치의 동작 신뢰성이 향상될 수 있다.

<79> 또한, 본 발명의 고집적 패키지 메모리 장치를 이용한 메모리 모듈은 고집적 패키지 메모리 장치내부의 칩들이 별도로 동작을 수행함으로써 열로 인한 문제가 발생되지 않아 모듈의 동작 신뢰성이 향상될 수 있다.

【특허청구범위】**【청구항 1】**

소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개 이상의 칩들을 내장한 패키지; 및

상기 패키지의 칩들 각각의 소정 개수의 제어신호 인가 패드들 각각에 연결된 소정 개수의 제어신호 인가 단자들을 구비하는 것을 특징으로 하는 고집적 패키지 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 소정 개수의 제어신호 인가 단자들은

칩 선택신호 인가 단자들 및 클럭 인에이블 신호 인가 단자들인 것을 특징으로 하는 고집적 패키지 메모리 장치.

【청구항 3】

제2항에 있어서, 상기 칩들 각각은

상기 칩 선택신호 인가 단자로 인가되는 칩 선택신호에 응답하여 동작이 인에이블되고, 상기 클럭 인에이블 신호 인가 단자로 인가되는 클럭 인에이블 신호에 응답하여 시스템 클럭신호가 인에이블되어 상기 시스템 클럭신호에 응답하여 데이터를 전송하는 것을 특징으로 하는 고집적 패키지 메모리 장치.

【청구항 4】

소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개의 제1, 2칩들을 내장한 패키지를 구비하고,

상기 제1, 2칩들 각각의 상기 소정 개수의 제어신호 인가 패드들중 상기 제1, 2칩들 각각의 동작을 인에이블하기 위한 신호가 인가되는 제1, 2 칩 선택신호 인가 패드들 각각에 연결된 제1, 2 칩 선택신호 인가 핀들을 외부적으로 구비하는 것을 특징으로 하는 고집적 패키지 메모리 장치.

【청구항 5】

제4항에 있어서, 상기 제1, 2칩들 각각의 상기 소정 개수의 제어신호 인가 패드들중 상기 제1, 2칩들 각각으로 인가되는 시스템 클럭신호를 제어하기 위한 신호가 인가되는 제1, 2클럭 인에이블 신호 인가 패드들 각각에 연결된 제1, 2클럭 인에이블 신호 인가 핀들을 외부적으로 구비하는 것을 특징으로 하는 고집적 패키지 메모리 장치.

【청구항 6】

소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개 이상의 칩들을 내장한 패키지; 및

상기 패키지의 상기 칩들 각각의 소정 개수의 제어신호 인가 패드들 각각에 연결된 소정 개수의 제어신호 인가 단자들을 각각 구비한 복수개의 고집적 패키지 메모리 장치들을 구비하고,

상기 소정 개수의 제어신호 인가 단자들로부터 인가되는 제어신호들에 응답하여 상기 복수개의 고집적 패키지 메모리 장치들 각각의 상기 칩들중 해당 칩이 인에이블되어 데이터를 전송하는 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【청구항 7】

제6항에 있어서, 상기 소정 개수의 제어신호 인가 단자들은
칩 선택신호 인가 단자들 및 클럭 인에이블 신호 인가 단자들인 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【청구항 8】

제6항에 있어서, 상기 복수개의 고집적 패키지 메모리 장치들은
상기 메모리 모듈의 전면부와 후면부에 나누어서 장착되는 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【청구항 9】

제7항에 있어서, 상기 복수개의 고집적 패키지 메모리 장치들 각각의 상기 칩들은
상기 칩들 각각에 해당하는 상기 칩 선택신호 인가 단자로 인가되는 칩 선택신호에
응답하여 동작이 인에이블되고, 상기 클럭 인에이블 신호 인가 단자로 인가되는 클럭
인에이블 신호에 응답하여 시스템 클럭신호가 인에이블되어 상기 시스템 클럭신호에
응답하여 데이터를 전송하는 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【청구항 10】

제9항에 있어서, 상기 시스템 클럭신호는
소정 개수의 클럭신호들로 분리되어 인가되고,
상기 소정 개수의 클럭신호들 각각이 상기 모듈의 전면부와 후면부로 나누어서
인가되는 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【청구항 11】

소정 개수의 제어신호 인가 패드들을 각각 구비한 적어도 두 개의 제1, 2칩들을 내장한 패키지를 구비하고,

상기 제1, 2칩들 각각의 상기 소정 개수의 제어신호 인가 패드들중 상기 제1, 2칩들 각각의 동작을 인에이블하기 위한 신호가 인가되는 제1, 2 칩 선택신호 인가 패드들 각각에 연결된 제1, 2 칩 선택신호 인가 핀들을 외부적으로 구비하는 복수개의 고집적 패키지 메모리 장치들을 구비하고,

상기 제1, 2칩 선택신호 인가 핀들로 인가되는 제1, 2칩 선택신호들 각각에 응답하여 상기 복수개의 고집적 패키지 메모리 장치들 각각의 제1칩들 및 제2칩들이 각각 인에이블되어 데이터를 전송하는 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【청구항 12】

제11항에 있어서, 상기 복수개의 고집적 패키지 메모리 장치들 각각은

상기 제1, 2칩들 각각의 상기 소정 개수의 제어신호 인가 패드들중 상기 제1, 2칩들 각각으로 인가되는 시스템 클럭신호를 제어하기 위한 신호가 인가되는 제1, 2클럭 인에이블 신호 인가 패드들 각각에 연결된 제1, 2클럭 인에이블 신호 인가 핀들을 외부적으로 구비하는 것을 특징으로 하는 고집적 패키지 메모리 장치.

【청구항 13】

제11항에 있어서, 상기 메모리 모듈은

폭이 1.25인치, 높이가 2.66인치, 두께가 0.15인치인 SODIMM인 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【청구항 14】

제11항에 있어서, 상기 메모리 모듈은

폭이 1.18인치, 높이가 1.5인치, 두께가 0.15인치인 μ -DIMM인 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【청구항 15】

제11항에 있어서, 상기 복수개의 고집적 패키지 메모리 장치들은

각각 8비트의 데이터를 전송하고, 총 64비트의 데이터를 전송하는 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【청구항 16】

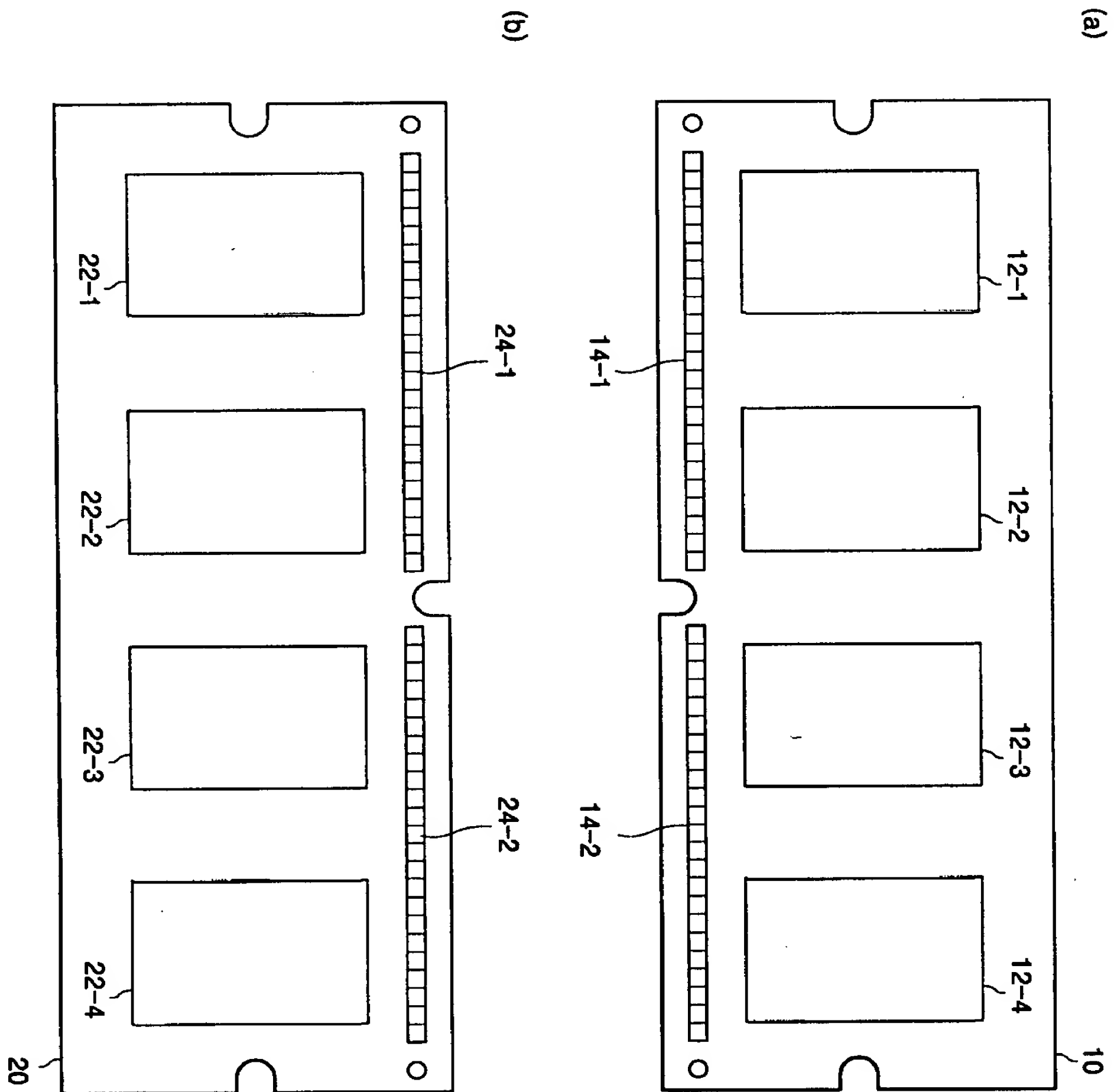
제12항에 있어서, 상기 복수개의 고집적 패키지 메모리 장치들 각각의

상기 제1칩은 상기 제1칩 선택신호에 응답하여 동작이 인에이블되고, 상기 제1클럭 인에이블 신호에 응답하여 상기 시스템 클럭신호가 인에이블되어 상기 시스템 클럭신호에 응답하여 데이터를 전송하고,

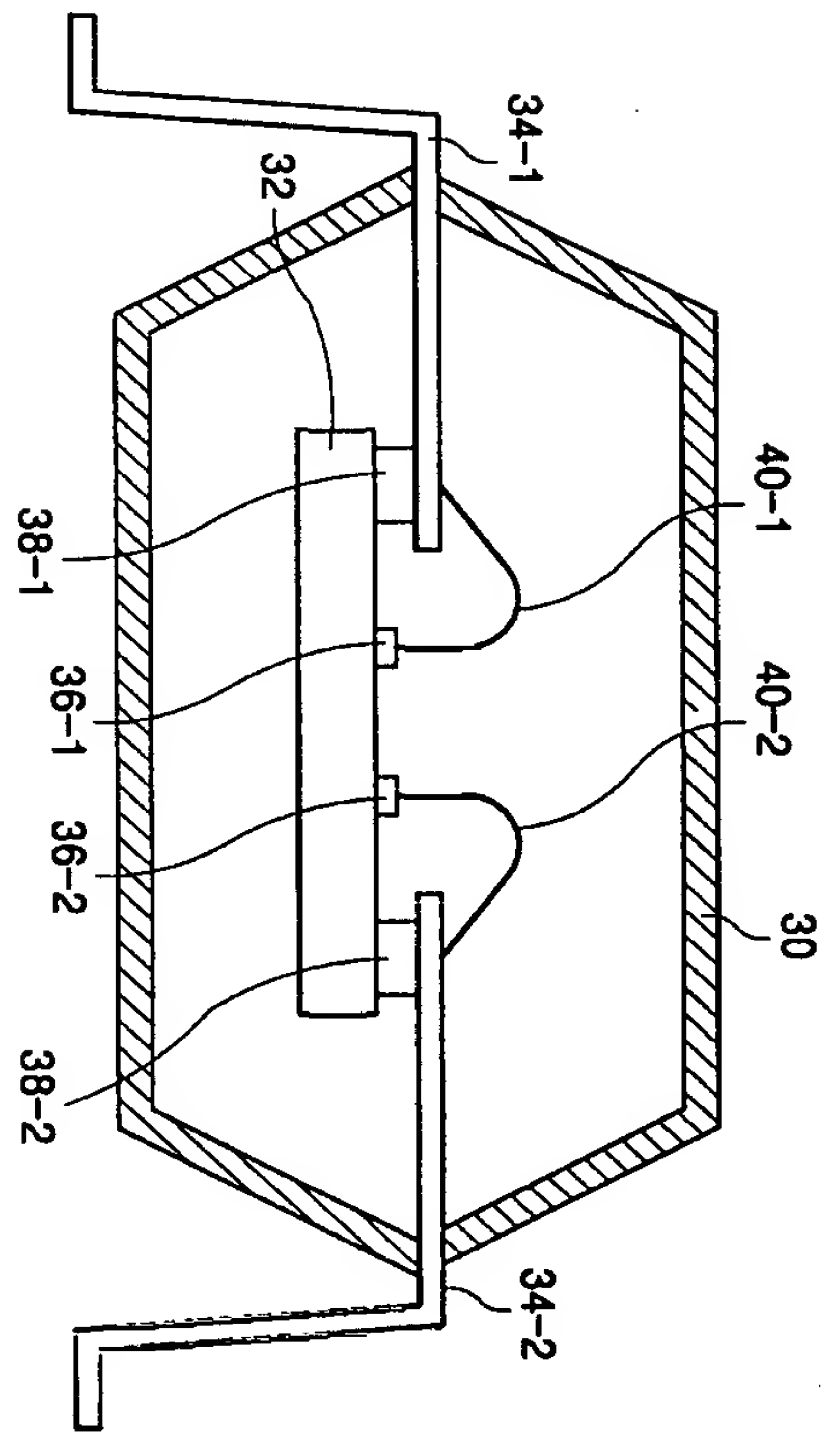
상기 제2칩은 상기 제2칩 선택신호에 응답하여 동작이 인에이블되고, 상기 제2클럭 인에이블 신호에 응답하여 상기 시스템 클럭신호가 인에이블되어 상기 시스템 클럭신호에 응답하여 데이터를 전송하는 것을 특징으로 하는 고집적 패키지 메모리 장치를 이용한 메모리 모듈.

【도면】

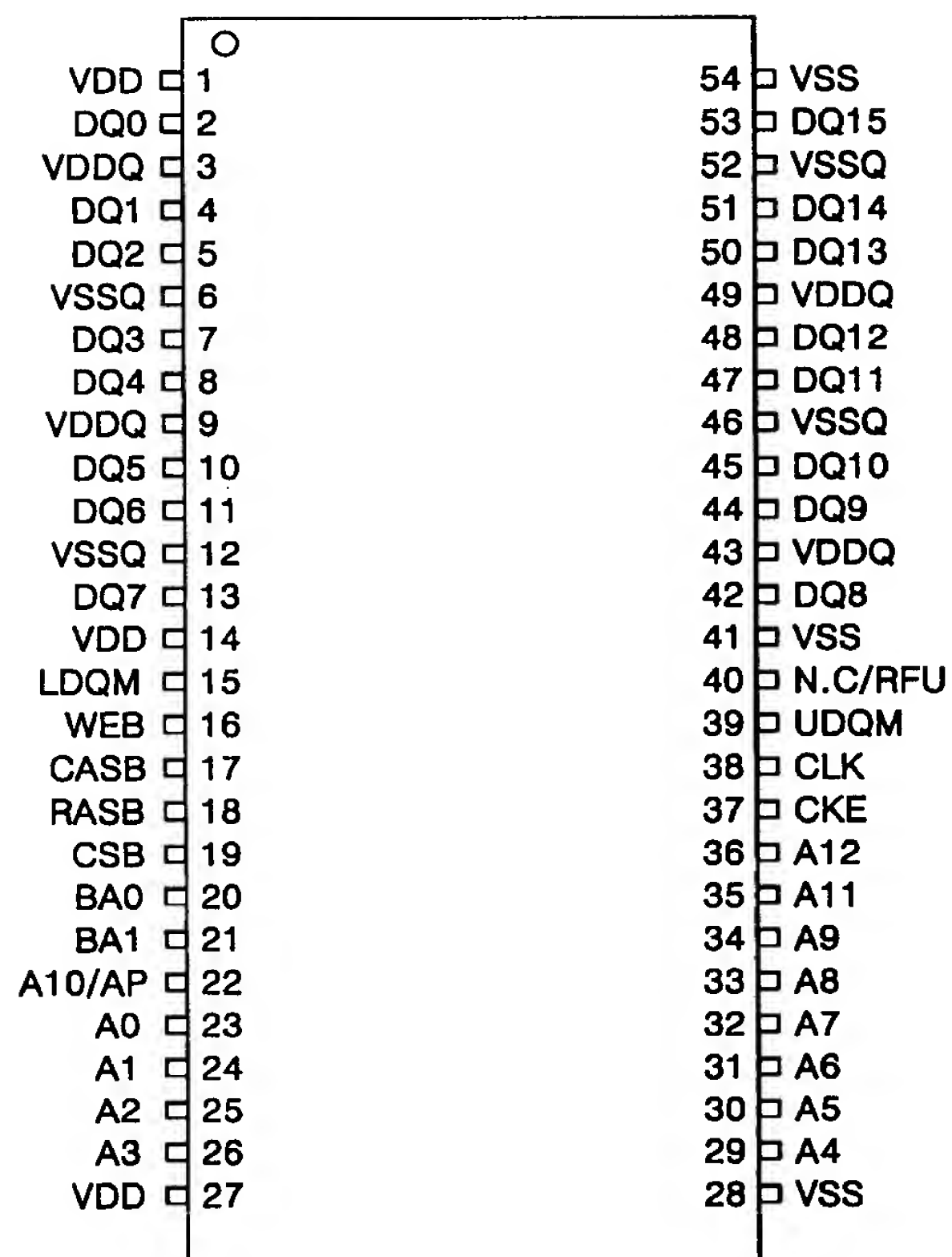
【도 1】



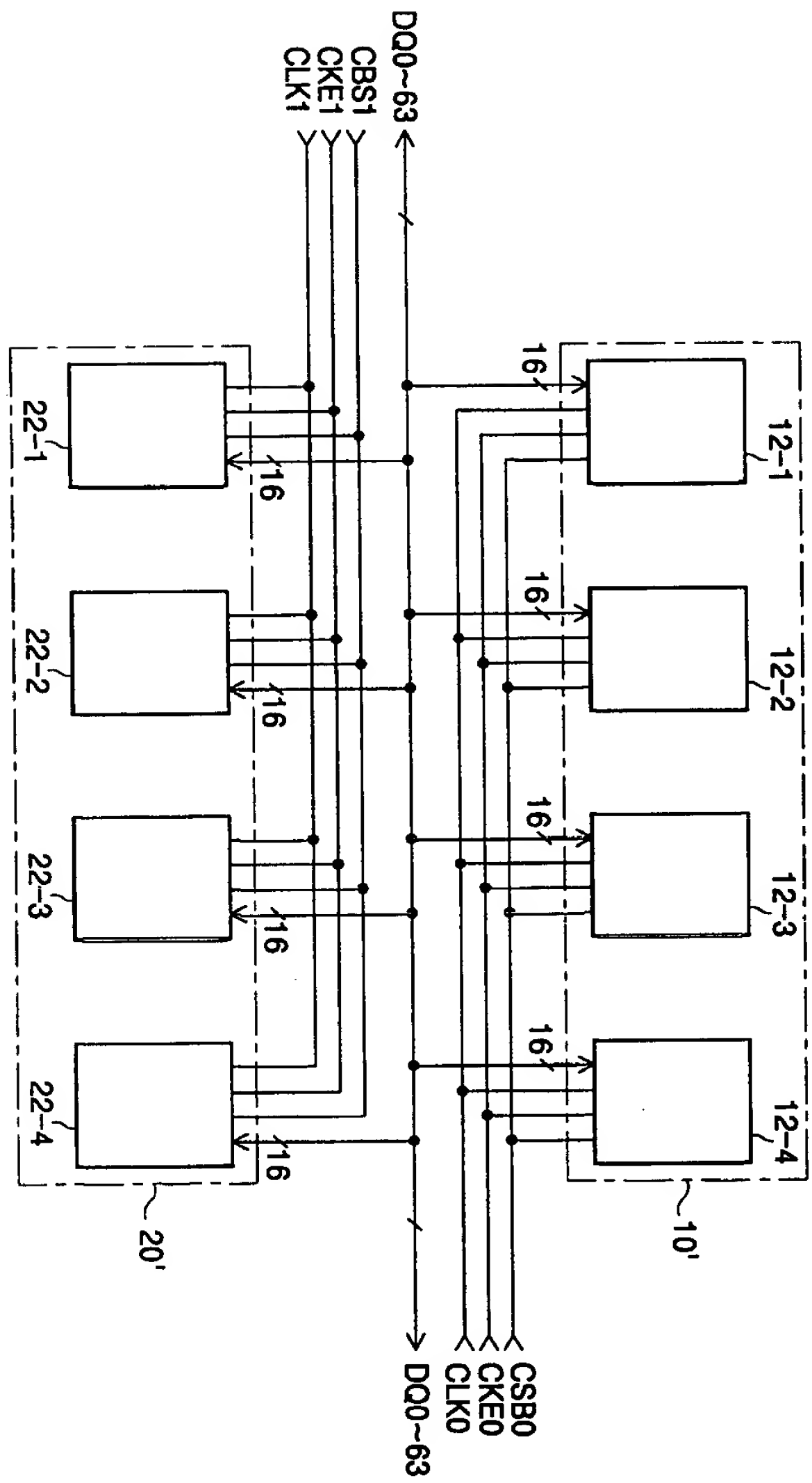
【도 2】



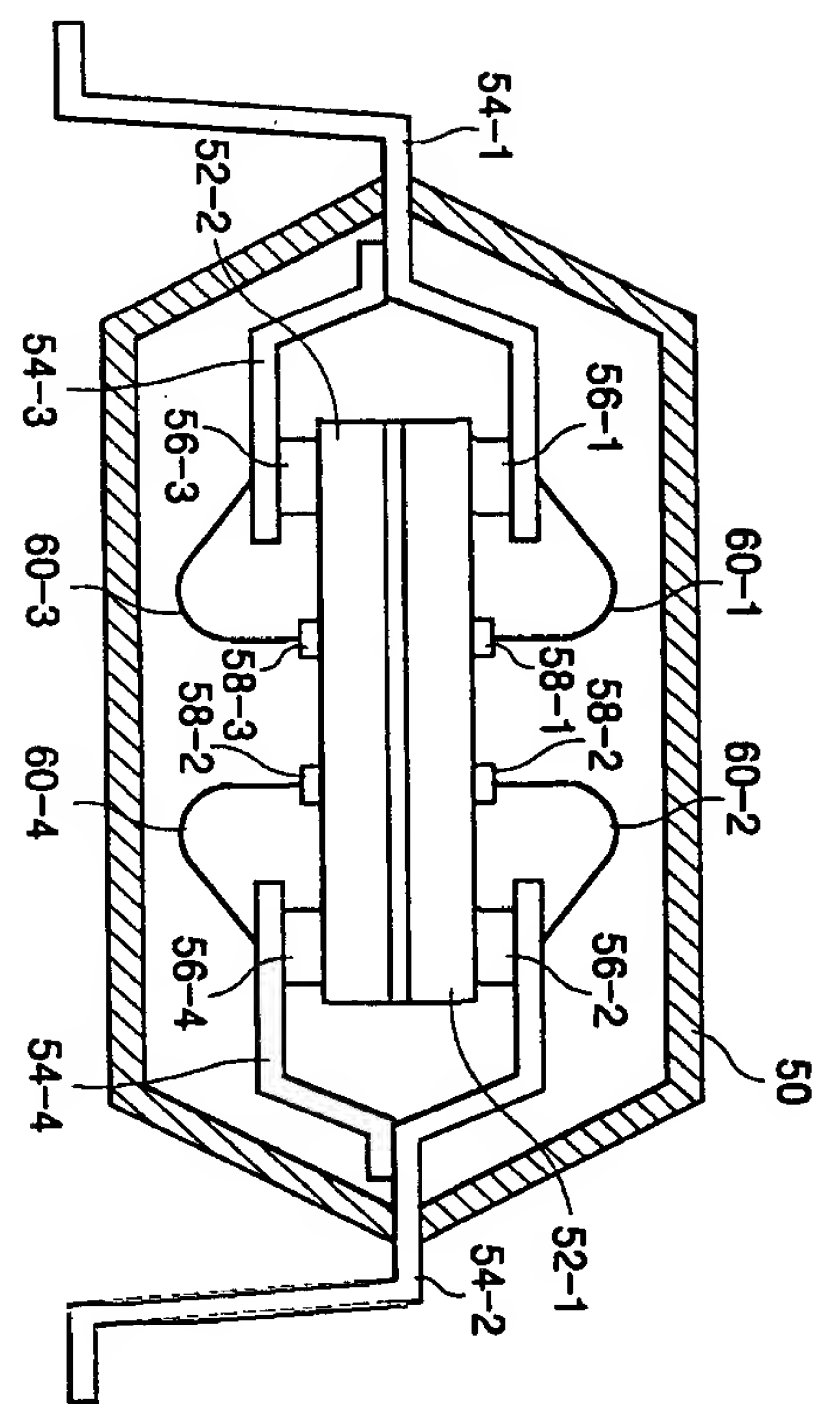
【도 3】



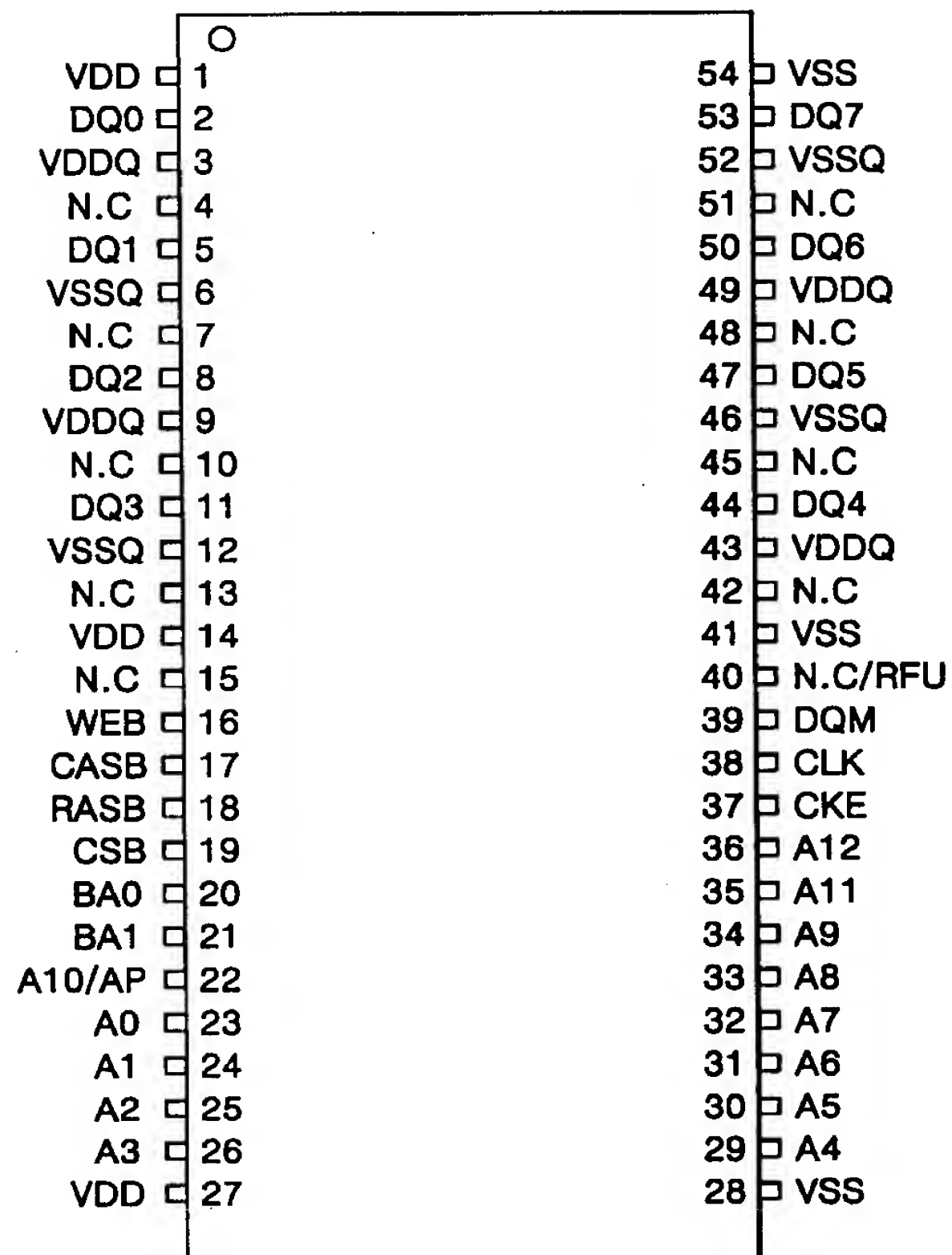
【図 4】



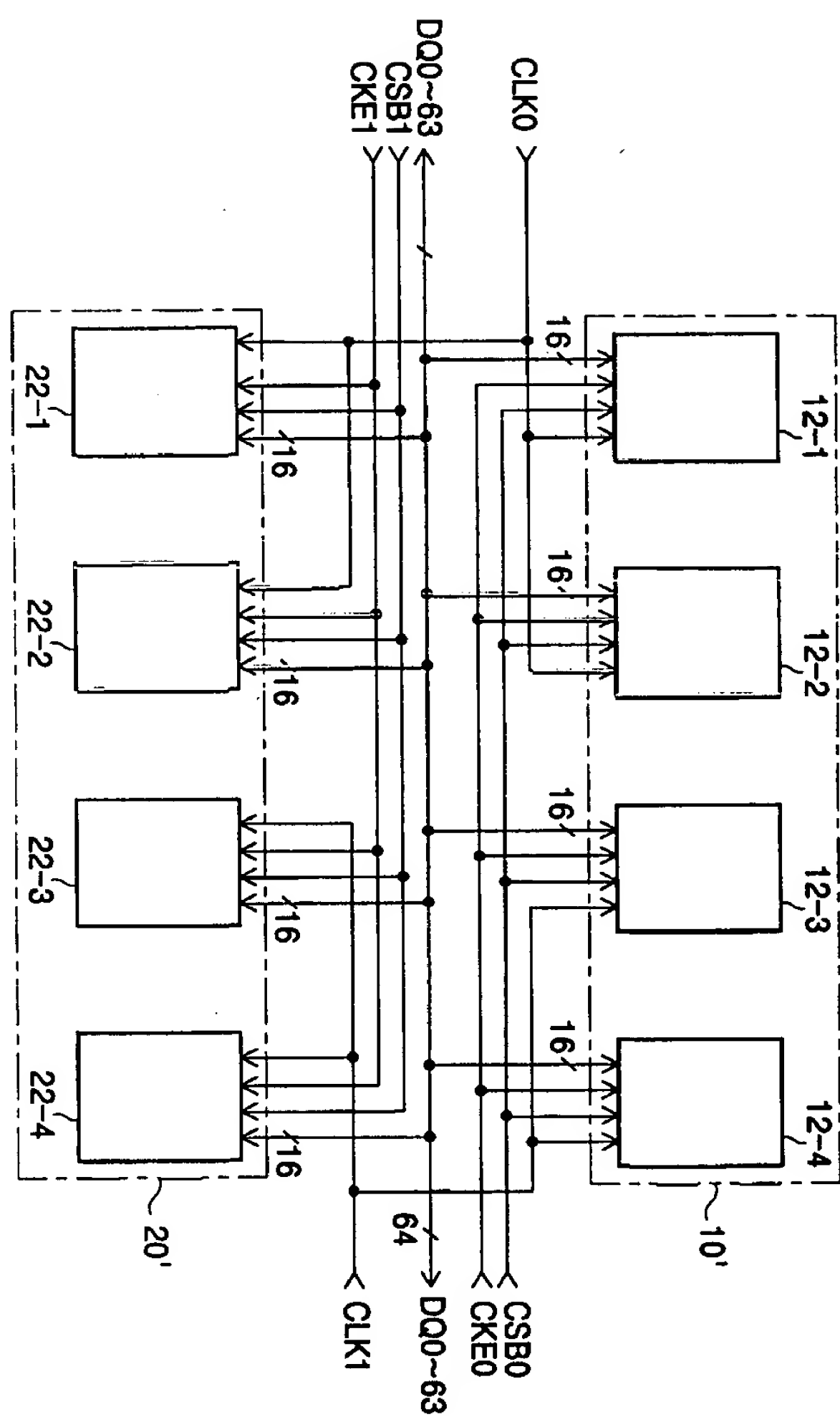
【図 5】



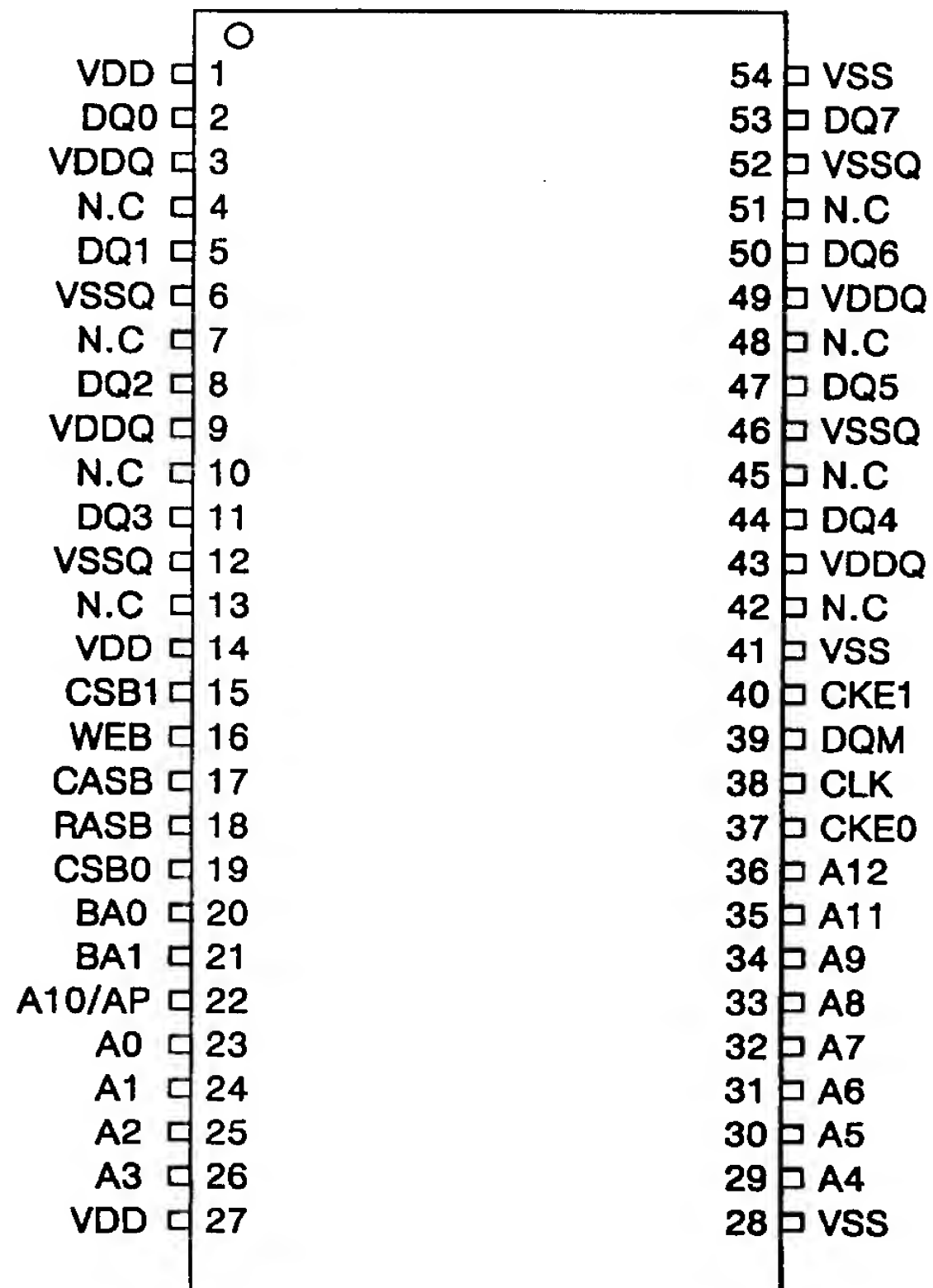
【도 6】



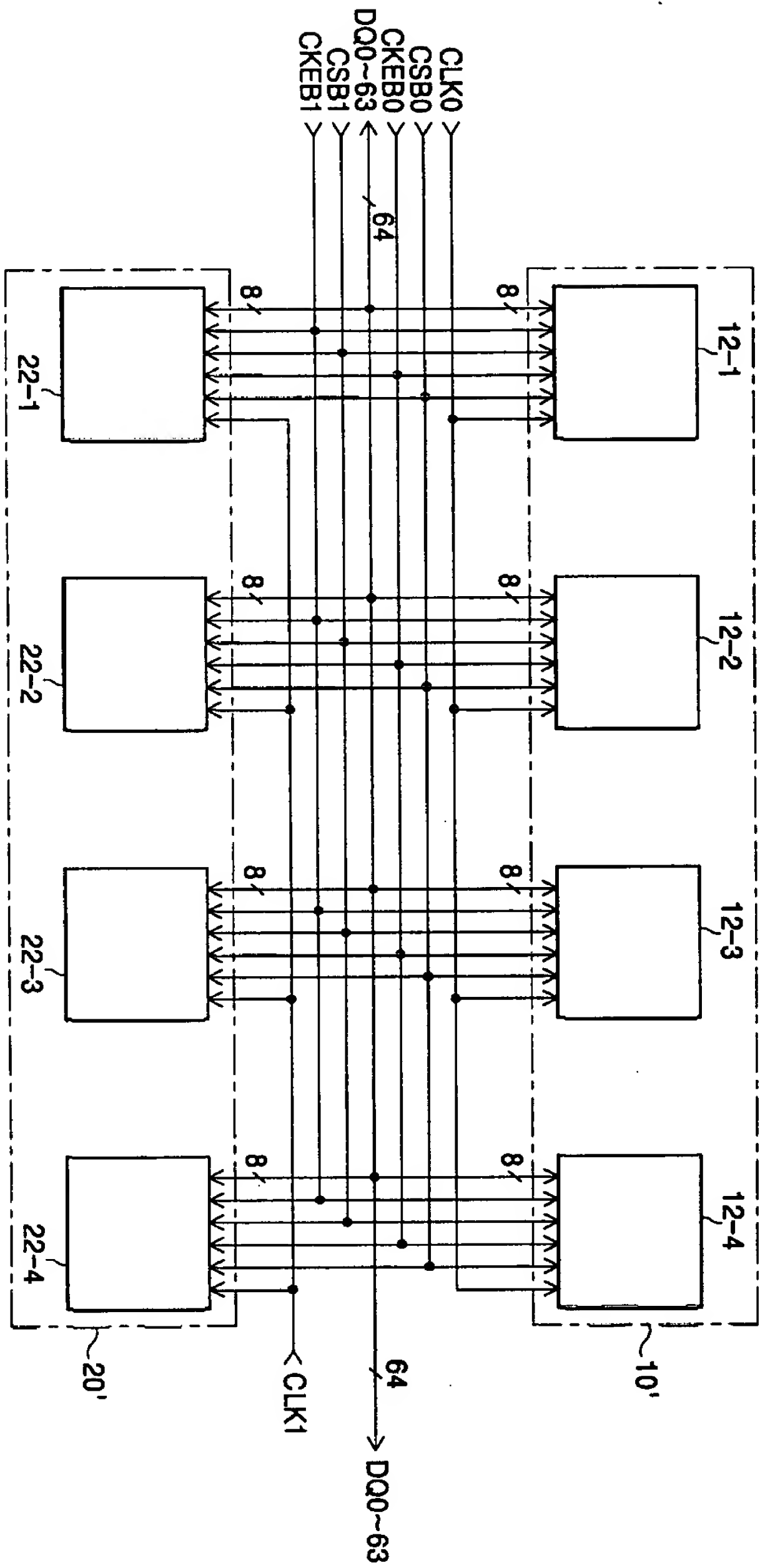
【도 7】



【도 8】



【 9】



【図 10】

